

(11) 2-303168 (A) (43) 17.12.1990 (19) JP
(21) Appl. No. 64-125175 (22) 18.5.1989
(71) NEC CORP (72) SHUICHI SAITO
(51) Int. Cl.² H01L29/804, H01L21/265, H01L21/266, H01L29/68

(11) 2-303169 (A) ! (43) 17.12.1990 (19) JP
(21) Appl. No. 64-126410 (22) 18.5.1989
(71) FUJITSU LTD (72) YUICHIRO ITO
(51) Int. Cl.³. H01L31/10//H01L27/14

13: semiconductor layer, 14: metal electrode, 15: P⁺ Si layer, 16: N⁺ layer

(11) 2-303170 (A) (43) 17.12.1990 (19) JP
(21) Appl. No. 64-125569 (22) 18.5.1989
(71) MURATA MFG CO LTD (72) SATOSHI ITO(4)
(51) Int. Cl.³. H01L35/00

This exploded perspective view shows the assembly of the device. At the top is a cylindrical container (1) with a lid (10). Below the container is a rectangular plate (2) with two circular openings. A small circular component (7) is positioned to the left of the plate. Below the plate is a small rectangular component (6). The central part of the assembly is a circular base (3) with a central opening (4) and a surrounding ring (5). A small rectangular component (8) is positioned to the left of the base. At the bottom is a circular plate (9) with two circular openings. A small rectangular component (11) is positioned to the right of the plate. A dashed line indicates the vertical alignment of the components.

CONSTITUTION: A substrate 5 is made of a ceramic material whose thermal conductivity is 0.02cal/cm/sec.c or lower. An (MgCa)TiO₃-based ceramic or a BaO-SiO₂-Al₂O₃-based ceramic can be used for the material. The thermal conductivity and permittivity are preferably as small as possible, and the resistance (volume resistivity) is preferably as high as possible. The substrate 5 has a recessed shape in such a way that a pyroelectric photodetector is suspended in the central part by supporting its ends by element-support parts 3, 3. A wiring pattern 4 by a silver electrode is formed on the surface of the substrate 5 by a pad-system transcription printing method. When the pad-system transcription printing method is used, the wiring pattern 4 can be formed on a three-dimensional object in one process; as a result, a manufacturing process is made easy. The substrate 5 is placed on a base 9; an FET chip 6 is placed on a part (a) and a resistance chip 7 is placed on a part (b) of the substrate 5. They are soldered by a solder paste/reflow operation.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

平2-303168

⑫ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)12月17日

H 01 L 29/804
21/265
21/266
29/68

8225-5F
7733-5F
7522-5F
7522-5F

H 01 L 29/80
21/265

V
W
M

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 平1-125175

⑯ 出 願 平1(1989)5月18日

⑰ 発 明 者 齋 藤 修 一 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑲ 代 理 人 弁理士 宮 野 中

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) シリコン基板中にn型あるいはp型の不純物をイオン注入してコレクタを形成する工程と、シリコンと金属間化合物を形成する金属イオンをイオン注入し、埋め込みゲート電極及びエミッタ電極を同時に形成する工程と、前記工程においてシリコン基板表面からゲート電極までの前記金属イオンのエネルギー損失と同程度のエネルギー損失を有するマスクを形成する工程とを含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置、特に縦型FETの製造方法に関する。

(従来の技術)

従来、縦型の埋め込み電極を有するFET、例えばシリサイドを用いた埋め込みゲート電極を形

成するには、先ずMBE装置を用い、シリコン基板表面を清浄化処理した後シリコン基板上に金属を付着する。次にバターンニング及び熱処理を順次行い、単結晶シリサイドを形成する。その後MBE装置に再び試料を入れ表面の清浄化を行ない、さらに部分的にシリサイドとシリコンが表面に露出した試料上にシリコンをエビタキシャル成長させる。この方法としては、シリコンを固相で成長させる方法とMBE法で成長させる方法とが知られている。いずれの方法を用いてもシリサイドを埋め込んだ構造は形成できる。これらの技術は例えば、R. T. Tung, et. alによりThin Solid Films, Vol. 93, 77 (1982)に報告されている。

(発明が解決しようとする課題)

前述のように、シリコンとシリサイドとを順次成長させていくことによりシリサイドの埋め込み電極を形成できる。しかしながら、この様な方法で電極を形成した場合には、単結晶シリサイドの上にシリコンを形成するとき埋め込まれたシリサイドのエッジ領域から欠陥がシリコン中に入り込

み、FETを作製したとき、そのチャネル領域に欠陥が入り、特性劣化の原因となる欠点がある。

本発明の目的は従来のこの様な問題点を解決し、シリコン中に欠陥の入らない埋め込み電極を有する半導体装置の製造方法を提供することにある。

〔課題を解決するための手段〕

前記目的を達成するため、本発明による半導体装置の製造方法においては、シリコン基板中にn型あるいはp型の不純物をイオン注入してコレクタを形成する工程と、シリコンと金属間化合物を形成する金属イオンをイオン注入し、埋め込みゲート電極及びエミッタ電極を同時に形成する工程と、前記工程においてシリコン基板表面からゲート電極までの前記金属イオンのエネルギー損失と同程度のエネルギー損失を有するマスクを形成する工程とを含むものである。

〔作用〕

基板の深さ方向にデバイスを作製しようとした場合、任意の深さ位置に電極を形成できること及び平面的にみた場合に電極がセルフアラインに形

成できることなどの条件が必要といえる。本発明の方法では、MeVに加速されたイオンを基板中に導入する手段を用いているためにその深さ方向の位置の制御性は良好である。但しこの場合、イオン注入中の基板温度が高いとイオンの通過した領域に欠陥が多発発生するために問題であり、従って、注入中の温度は低く、できれば液体窒素温度がよい。一方、電極のセルフアラインに関しては、マスクの材質及び膜厚を適当に選ぶことによりゲート電極を基板中に埋め込み、且つエミッタ電極を基板表面に同時に形成することが可能である。

従来のデバイス、例えばMOSデバイスにおいては、平面上への形状の投影という技術により自由自在にデバイスの作製ができた。しかし、縦方向のデバイスでは従来エピタキシャル成長の技術でしか形成できなかったためにデバイス形成時の自由度が少なく困難であった。

〔実施例〕

以下、本発明の実施例を図面を用いて説明する。

第1図は本発明を実施した方法を示す構造の模

式的な断面図である。

第1図(a)において、(111)シリコン基板1上に酸化膜2を40nm形成後、最初リンを2 MeVで $5 \times 10^{12} \text{ 1/cm}^2$ 注入し、更にリンを150 KeVで $1 \times 10^{13} \text{ 1/cm}^2$ 注入した。この時、イオン注入時の基板温度は液体窒素温度とした。基板温度を低くすることにより、イオンの通過した領域のダメージは次の熱処理により回復することができる。その後、1000℃で60分間熱処理を行なった。これにより、埋め込まれたコレクタ電極3が形成される。

第1図(b)において、次に、ポリシリコンを0.54 μm 堆積させた後、パターニングを行ない、マスク4を形成する。この様な材料にCoを1.2 MeVで $5 \times 10^{12} \text{ 1/cm}^2$ 注入した。この時も、基板温度は液体窒素温度とした。次に、先ず600℃で1時間熱処理を行なった後、更に1000℃で30分間熱処理を行なった。はじめの熱処理よりCo-シリサイドが形成されるが、この熱処理だけでは不十分である。即ち大部分の領域はシリサイドになるが、界面の領域では十分にCoが供給されず

CoSi₂にならない。これを改善するために、更に高温で熱処理を行なう。1000℃の熱処理により周辺のCoは、シリコン中に部分的に存在しているよりもCoSi₂になった方がエネルギー的に安定であるために、あらかじめ形成されたCoSi₂層の方へ集まり、界面のシャープなシリサイドが形成される。これにより、ゲート電極5と同時にエミッタ電極6が形成される。この後に、マスクの材質及び膜厚を適当に選ぶことによりエミッタ電極6と同時にゲート電極5が形成できる。

この実施例ではCoを用いた場合について示したが、Co以外でもシリコンと金属間化合物を形成する全ての金属に同様の考え方で、埋め込み電極を形成することができる。また、コレクタ電極としてこの実施例ではリンのイオン注入を用いたが、酸素などの不純物を用いてもよい。

〔発明の効果〕

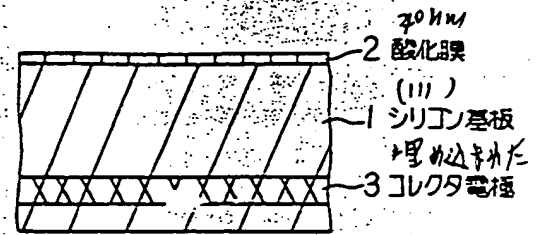
以上のように本発明によるときには高エネルギーのイオン注入技術を用いて深さ方向の不純物の

位置を任意に制御でき、更に、マスクの材質及び膜厚を適当に選ぶことによりセルフアラインで2つの電極を同時に形成でき、デバイス形成上極めて有効である。また、実施例に示したように、埋め込み電極を形成する方法として金属イオンを用い、金属同化合物を形成する方法は、熱処理をうまうま行うことでシャープな界面を形成でき、金属同化合物の利用は極めて有効である。

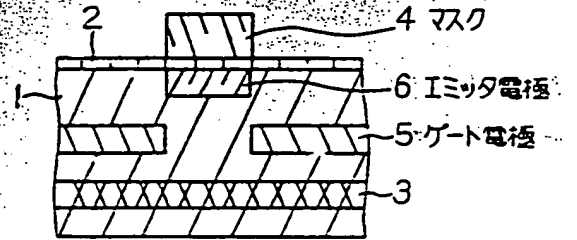
4. 図面の簡単な説明

第1図(a)、(b)は本実施例において行なった試料構造製造工程を示す模式的な断面図である。

- | | |
|----------|----------|
| 1…シリコン基板 | 2…酸化膜 |
| 3…コレクタ電極 | 4…マスク |
| 5…ゲート電極 | 6…エミッタ電極 |



(a) $Co_{0.4}Fe_{0.6}/Si$ $1.2MeV$ $5 \times 10^{17}/cm^2$ (ポリシリコン $0.154\mu m$)



(b)

第1図

特許出願人 日本電気株式会社
代理人 弁理士 菅野 中

BEST AVAILABLE COPY